

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-118919

(43)Date of publication of application : 27.04.2001

(51)Int.Cl.

H01L 21/76

(21)Application number : 11-294126 (71)Applicant : SEIKO EPSON CORP

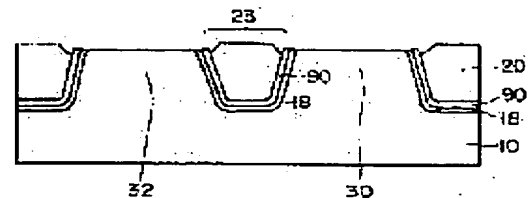
(22)Date of filing : 15.10.1999 (72)Inventor : MARUO YUTAKA

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, together with its manufacturing method, where defects in transistor characteristics are suppressed.

SOLUTION: This method includes a process A where a polish stopper layer 14 comprising a prescribed pattern is formed on a substrate 10, a process B where a part of the substrate is removed with the polish stopper layer 14 as a mask to form a trench 16, a process C where a trench oxide film 18 is formed on the surface of substrate 10 which constitutes the trench 16, a process D where an insulating layer 21 is formed over the entire surface to fill the trench 16, a process E where the insulating layer 21 is polished by a chemical/ mechanical polishing method, a process F where the polish stopper layer 14 is removed, and a process G where a part of the insulating layer 21 is etched to form a trench insulating layer 20. Here, a process (a), where an etching stopper layer 90 for the trench oxide film 18 is formed on it, at least above the trench 16, is included, and the etching stopper layer 90 is less likely to be etched, as compared to the insulating layer 21 in the process G.



## LEGAL STATUS

[Date of request for examination] 27.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-118919  
(P2001-118919A)

(43) 公開日 平成13年4月27日 (2001. 4. 27)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 1 L 21/76

H 0 1 L 21/76

V 5 F 0 3 2

審査請求 有 請求項の数19 O L (全 15 頁)

(21) 出願番号

特願平11-294126

(22) 出願日

平成11年10月15日 (1999. 10. 15)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 丸尾 豊

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

Fターム (参考) 5F032 AA36 AA39 AA44 AA45 AA46

CA03 CA17 CA20 DA02 DA04

DA06 DA23 DA24 DA26 DA28

DA33 DA43 DA53 DA78

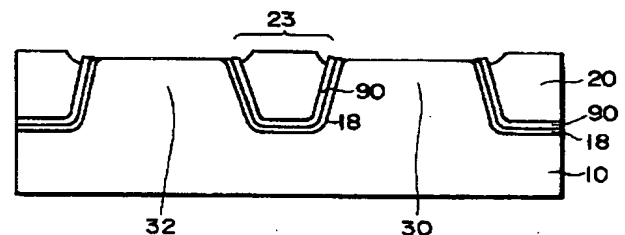
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 トランジスタ特性における不具合が抑えられた半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置の製造方法は、(A) 基板10の上に、所定のパターンを有する、研磨ストップ層14を形成する工程、(B) 研磨ストップ層14をマスクとして基板の一部を除去し、トレンチ16を形成する工程、(C) トレンチ16を構成する、基板10の表面に、トレンチ酸化膜18を形成する工程、(D) トレンチ16を充填する絶縁層21を全面に形成する工程、

(E) 化学的機械的研磨法により、絶縁層21を研磨する工程、(F) 研磨ストップ層14を除去する工程、および(G) 絶縁層21の一部をエッチングし、トレンチ絶縁層20を形成する工程を含み、少なくともトレンチ16の上部において、トレンチ酸化膜18の上に、トレンチ酸化膜18のためのエッチングストップ層90を形成する工程(a)を含み、エッチングストップ層90は、工程(G)において、絶縁層21に比べてエッチングされ難い。



**【特許請求の範囲】**

**【請求項1】** トレンチと、該トレンチを充填するトレンチ絶縁層とを含む、トレンチ素子分離領域を有する、半導体装置の製造方法であって、(A) 基板の上に、所定のパターンを有する、化学的機械的研磨のための研磨ストッパ層を形成する工程、(B) 少なくとも前記研磨ストッパ層を含むマスク層をマスクとして、前記基板の一部を除去し、トレンチを形成する工程、(C) 前記トレンチを構成する、前記基板の表面に、トレンチ酸化膜を形成する工程、(D) 前記トレンチを充填する絶縁層を全面に形成する工程、(E) 化学的機械的研磨法により、前記絶縁層を研磨する工程、(F) 前記研磨ストッパ層を除去する工程、および(G) 前記絶縁層の一部をエッチングし、トレンチ絶縁層を形成する工程を含み、少なくとも前記トレンチの上部において、前記トレンチ酸化膜の上に、該トレンチ酸化膜のためのエッチングストッパ層を形成する工程(a)を含み、前記エッチングストッパ層は、前記工程(G)において、前記絶縁層に比べてエッチングされ難い、半導体装置の製造方法。

**【請求項2】** 請求項1において、前記工程(G)において、前記エッチングストッパ層に対する前記絶縁層の選択比(絶縁層のエッチングレート／エッチングストッパ層のエッチングレート)は、10以上である、半導体装置の製造方法。

**【請求項3】** 請求項1または2において、前記エッチングストッパ層は、前記トレンチ酸化膜の表面を被覆するようにして形成されている、半導体装置の製造方法。

**【請求項4】** 請求項1～3のいずれかにおいて、前記エッチングストッパ層は、窒化シリコン層である、半導体装置の製造方法。

**【請求項5】** 請求項4において、前記窒化シリコン層の厚さは、10～50nmである、半導体装置の製造方法。

**【請求項6】** 請求項1～3のいずれかにおいて、前記エッチングストッパ層は、非単結晶シリコン層である、半導体装置の製造方法。

**【請求項7】** 請求項6において、前記非単結晶シリコン層は、多結晶シリコン層、非晶質シリコン層またはそれらの積層構造である、半導体装置の製造方法。

**【請求項8】** 請求項6または7において、前記非単結晶シリコン層の厚さは、20～50nmである、半導体装置の製造方法。

**【請求項9】** 請求項6～8のいずれかにおいて、前記工程(G)の後に、さらに、前記基板の素子形成領域の表面より突出した、前記非単結晶シリコン層の部分を熱酸化し、酸化シリコン膜を形成する工程(b)を含む、半導体装置の製造方法。

**【請求項10】** 請求項9において、前記酸化シリコン膜は、前記工程(G)において、同時に除去される、半導体装置の製造方法。

**【請求項11】** トレンチ素子分離領域を有する、半導体装置であって、少なくとも一つのトレンチ素子分離領域は、トレンチを構成する、基板の表面に形成されたトレンチ酸化膜と、前記トレンチ内に形成されたトレンチ絶縁層と、を含み、少なくとも、前記トレンチの上部において、前記トレンチ絶縁層が形成されている側の、前記トレンチ酸化膜の表面が露出しないようにエッチングストッパ層が形成されている、半導体装置。

**【請求項12】** トレンチ素子分離領域を有する、半導体装置であって、少なくとも一つのトレンチ素子分離領域は、トレンチを構成する、基板の表面に形成されたトレンチ酸化膜と、前記トレンチ内に形成されたトレンチ絶縁層と、を含み、前記トレンチ酸化膜と前記トレンチ絶縁層との間に介在する、エッチングストッパ層を有する、半導体装置。

**【請求項13】** 請求項11または12において、前記エッチングストッパ層は、フッ酸を含むエッチャントによる、該エッチングストッパ層に対する前記絶縁層の選択比(絶縁層のエッチングレート／エッチングストッパ層のエッチングレート)が10以上である材質からなる、半導体装置。

**【請求項14】** 請求項11～13のいずれかにおいて、前記エッチングストッパ層は、前記トレンチ酸化膜の表面に形成されている、半導体装置

**【請求項15】** 請求項11～14のいずれかにおいて、前記エッチングストッパ層は、窒化シリコン層である、半導体装置。

**【請求項16】** 請求項15において、前記窒化シリコン層の厚さは、10～50nmである、半導体装置。

**【請求項17】** 請求項11～14のいずれかにおいて、前記エッチングストッパ層は、非単結晶シリコン層である、半導体装置。

**【請求項18】** 請求項17において、前記非単結晶シリコン層の厚さは、20～50nmである、半導体装置。

**【請求項19】** 請求項17または18において、前記非単結晶シリコン層は、多結晶シリコン層、非晶質シリコン層またはそれらの積層構造である、半導体装

置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に素子分離領域を有する半導体装置の製造方法に関する。

【0002】

【背景技術】近年、半導体素子、たとえばMOSトランジスタの微細化に伴い、半導体素子間を分離するための領域の微細化が必要となっている。この領域の微細化を達成するため、トレンチ素子分離技術が検討されている。トレンチ素子分離技術とは、半導体素子間の基板上にトレンチを設け、このトレンチに絶縁材を充填することによって、半導体素子間を分離する技術をいう。この技術の一例を次に説明する。

【0003】図34～図37は、従来のトレンチ素子分離技術（以下「従来技術」という）を利用した、トレンチ素子分離領域123の形成工程を模式的に示す断面図である。

【0004】まず、図34に示すように、シリコン基板110上に、パッド層112、ストップ層114を順次堆積させる。その後、ストップ層114の上に、所定のパターンのレジスト層R10を形成し、レジスト層R10をマスクとして、ストップ層114およびパッド層112をエッチングする。

【0005】次いで、図35に示すように、レジスト層R10をアッシング除去する。次に、ストップ層114をマスクとして、シリコン基板110をエッチングし、トレンチ116を形成する。その後、トレンチ116におけるシリコン基板110の露出面を熱酸化し、トレンチ酸化膜118を形成する。

【0006】次に、図36に示すように、トレンチ116を埋め込むようにして、絶縁層120を全面に堆積する。次に、ストップ層114をストップとして、絶縁層120を平坦化する。次いで、ストップ層114を熱リン酸を用いて除去する。

【0007】その後、絶縁層の突出部122は、フッ酸を含むエッチャントで等方性エッチングされ、図37に示すようなトレンチ素子分離領域123が形成される。ここで、絶縁層の突出部122とは、シリコン基板110の素子形成領域の表面より突出した、絶縁層120の部分を用いる。

【0008】しかし、以上の従来技術によると、次のような問題が生じる。図38は、図37におけるCの部分拡大した模式図である。絶縁層の突出部122が等方性エッチングされると、絶縁層120の上部の端部において、窪み125が生じる。そして、絶縁層の突出部122が等方性エッチングされていくにつれて、窪み125はさらに深くなっていく。窪み125が深くなるにつれて、以下の理由で、トレンチ酸化膜118は、トレン

チ116の深さ方向に除去されていってしまう。窪み125が深くなるにつれて、トレンチ酸化膜118は、トレンチ116の深さ方向に露出していく。トレンチ酸化膜118と絶縁層120とは、同様の材質、すなわち酸化シリコンからなる。したがって、露出したトレンチ酸化膜118は、エッチャントと接触して、等方性エッチングされてしまう。その結果、窪み125が深くなるにつれて、トレンチ酸化膜118も深さ方向に除去されていく。このように、トレンチ酸化膜118が除去され、またはトレンチ酸化膜118の膜厚が薄くなると、トランジスタ特性における不具合、たとえば逆狭チャネル効果、ハンプ（Hump）などが生じる。

【0009】

【発明が解決しようとする課題】本発明の目的は、トランジスタ特性における不具合が抑えられた半導体装置およびその製造方法を提供することにある。

【0010】

【課題を解決するための手段】（半導体装置の製造方法）本発明の半導体装置の製造方法は、トレンチと、該トレンチを充填するトレンチ絶縁層とを含む、トレンチ素子分離領域を有し、（A）基板の上に、所定のパターンを有する、化学的機械的研磨のための研磨ストップ層を形成する工程、（B）少なくとも前記ストップ層を含むマスク層をマスクとして、前記基板の一部を除去し、トレンチを形成する工程、（C）前記トレンチを構成する、前記基板の表面に、トレンチ酸化膜を形成する工程、（D）前記トレンチを充填する絶縁層を全面に形成する工程、（E）化学的機械的研磨法により、前記絶縁層を研磨する工程、（F）前記ストップ層を除去する工程、および（G）前記絶縁層の一部分をエッチングし、トレンチ絶縁層を形成する工程を含み、少なくとも前記トレンチの上部において、前記トレンチ酸化膜の上に、該トレンチ酸化膜のためのエッチングストップ層を形成する工程（a）を含み、前記エッチングストップ層は、前記工程（G）において、前記絶縁層に比べてエッチングされ難い。

【0011】本発明の半導体装置の製造方法によれば、従来技術に比べて、トレンチ酸化膜が除去され難い。以下、この理由を述べる。工程（G）を経ると、絶縁層の上部の端部において、窪みが生じる（図38参照）。しかし、本発明の半導体装置の製造方法においては、工程（a）において、少なくとも前記トレンチの上部において、前記トレンチ酸化膜の上に、該トレンチ酸化膜のためのエッチングストップ層を形成している。このエッチングストップ層は、前記工程（G）において、前記絶縁層に比べてエッチングされ難い。そのため、絶縁層の上部の端部において窪みが生じていても、エッチングストップ層が形成されていることにより、従来技術に比べて、横方向（窪み側）からの、工程（G）におけるエッチャントとトレンチ酸化膜との接触が抑えられている。すなわ

ち、トレンチ酸化膜の横方向からのエッチングが進行し難い。したがって、本発明の半導体装置の製造方法によれば、従来技術に比べて、トレンチ酸化膜が除去され難い。その結果、本発明の半導体装置の製造方法によれば、従来技術に比べて、トランジスタ特性における不具合、たとえば逆狭チャネル効果、ハンブ（Hump）などが抑えられた半導体装置を得ることができる。

【0012】また、本発明の半導体装置の製造方法によれば、上述のように、トレンチ酸化膜の横方向からのエッチングが進行し難い。そのため、トレンチ酸化膜の膜厚を薄くすることができる。その結果、本発明の半導体装置の製造方法は、半導体装置の微細化を図る際に、特に有用である。具体的には、本発明の半導体装置の製造方法は、設計基準が $0.18\mu\text{m}$ 以下において、特に有用である。

【0013】また、前記工程（G）において、前記エッチングストップ層に対する前記絶縁層の選択比（絶縁層のエッチングレート／エッチングストップ層のエッチングレート）は、10以上であることが好ましい。このような選択比であることにより、エッチングストップ層は、ほとんどエッチングされない。そのため、工程

（G）におけるエッチャントとトレンチ酸化膜との、横方向からの接触が防止され、トレンチ酸化膜の横方向からのエッチングがほとんど進行しない。その結果、本発明の半導体装置の製造方法によれば、従来技術に比べて、トランジスタ特性における不具合、たとえば逆狭チャネル効果、ハンブ（Hump）などが生じないか、もしくは抑えられた半導体装置を得ることができる。

【0014】前記エッチングストップ層は、前記トレンチ酸化膜の表面を被覆するようにして形成されていてもよい。また、前記エッチングストップ層と前記トレンチ酸化膜との間に他の層が介在していてもよい。

【0015】前記エッチングストップ層は、次の2つのいずれかの態様をとることができる。

【0016】（1）第1に、前記エッチングストップ層は、窒化シリコン層である態様である。前記窒化シリコン層の厚さは、たとえば10～50nmである。

【0017】（2）第2に、前記エッチングストップ層は、非単結晶シリコン層である態様である。前記非単結晶シリコン層は、たとえば、多結晶シリコン層、非晶質シリコン層またはそれらの積層構造である。前記非単結晶シリコン層の厚さは、たとえば20～50nmである。また、この態様の場合、前記工程（G）の後に、さらに、前記基板の素子形成領域の表面より突出した、前記非単結晶シリコン層の部分を熱酸化し、酸化シリコン膜を形成する工程（b）を含むことが好ましい。工程（b）を含むことにより、前記酸化シリコン膜を、前記工程（G）において、同時に除去することができる。その結果、工程（b）を含むことにより、前記基板の素子形成領域の表面より突出した、前記非単結晶シリコン層

の部分を簡便に除去することができる。

【0018】（半導体装置）本発明の半導体装置の製造方法により得られた半導体装置は、たとえば、次の構成をとることができる。

【0019】本発明の半導体装置は、トレンチ素子分離領域を有し、少なくとも一つのトレンチ素子分離領域は、トレンチを構成する、基板の表面に形成されたトレンチ酸化膜と、前記トレンチ内に形成されたトレンチ絶縁層と、を含み、少なくとも、前記トレンチの上部において、前記トレンチ絶縁層が形成されている側の、前記トレンチ酸化膜の表面が露出しないようにエッチングストップ層が形成されている。

【0020】あるいは、本発明の半導体装置は、トレンチ素子分離領域を有し、少なくとも一つのトレンチ素子分離領域は、トレンチを構成する、基板の表面に形成されたトレンチ酸化膜と、前記トレンチ内に形成されたトレンチ絶縁層と、を含み、前記トレンチ酸化膜と前記トレンチ絶縁層との間に介在する、エッチングストップ層を有する。

【0021】以上の半導体装置は、従来技術によって得られた半導体装置に比べて、トランジスタ特性における不具合、たとえば逆狭チャネル効果、ハンブ（Hump）などが抑えられている。

【0022】また、前記エッチングストップ層は、フッ酸を含むエッチャントによる、該エッチングストップ層に対する前記絶縁層の選択比（絶縁層のエッチングレート／エッチングストップ層のエッチングレート）が10以上である材質からなることが好ましい。エッチングストップ層がこのような材質からなる半導体装置は、トランジスタ特性における不具合、たとえば逆狭チャネル効果、ハンブ（Hump）などが生じないか、もしくは最小限に抑えられている。

【0023】前記エッチングストップ層は、前記トレンチ酸化膜の表面に形成されていてもよい。また、前記エッチングストップ層と前記トレンチ酸化膜との間に他の層が介在していてもよい。

【0024】また、エッチングストップ層は、半導体装置の製造方法の項で説明した態様（材質、膜厚）をとることができる。

【0025】

【発明の実施の形態】以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

【0026】〔第1の実施の形態〕

（デバイスの構造）以下、第1の実施の形態に係る半導体装置について説明する。図24は、第1の実施の形態に係る半導体装置100である。

【0027】半導体装置100は、トレンチ素子分離領域23と、n型MOS素子80と、p型MOS素子82とを含む。

【0028】トレンチ素子分離領域23は、シリコン基

板10に設けられたトレンチ16内に、トレンチ絶縁層20が充填されて形成されている。トレンチ素子分離領域23は、MOS素子間を分離し、素子領域を画定する役割を有する。シリコン基板10とトレンチ絶縁層20との間には、トレンチ酸化膜18と、トレンチ酸化膜18のためのエッチングストップ層として機能する窒化シリコン層90とが介在している。窒化シリコン層90は、トレンチ酸化膜18を被覆するようにして形成されている。そして、このトレンチ素子分離領域23を境として、一方の素子領域には、p型レトログレードウェル32が形成され、他方の素子領域には、n型レトログレードウェル30が形成されている。

【0029】p型レトログレードウェル32上には、n型MOS素子80が形成され、n型レトログレードウェル30上には、p型MOS素子82が形成されている。

【0030】n型MOS素子80は、ゲート酸化膜28と、ゲート電極46と、n型不純物拡散層50とを有する。n型MOS素子80のゲート酸化膜28は、p型レトログレードウェル32上に形成されている。このゲート酸化膜28上には、ゲート電極46が形成されている。ゲート電極46は、多結晶シリコン層40と、多結晶シリコン層40上に形成された金属シリサイド層42とからなる。そして、ゲート酸化膜28およびゲート電極46の側壁を覆うようにして、サイドウォール絶縁膜70が形成されている。n型不純物拡散層50は、ソース/ドレイン領域を構成している。そしてn型不純物拡散層50は、低濃度のn型不純物拡散層50aと高濃度のn型不純物拡散層50bとからなり、LDD構造を有している。

【0031】p型MOS素子82は、ゲート酸化膜28と、ゲート電極46と、p型不純物拡散層60とを有する。p型MOS素子82のゲート酸化膜28は、n型レトログレードウェル30上に形成されている。ゲート電極46およびサイドウォール絶縁膜70の詳細は、n型MOS素子80と同様である。p型不純物拡散層60は、p型である以外は、n型不純物拡散層50と同様である。

【0032】（製造プロセス）次に、第1の実施の形態に係る半導体装置100の製造プロセスについて説明する。図1～図23は、第1の実施の形態に係る半導体装置100の製造工程を模式的に示す断面図である。

#### 【0033】（1）トレンチの形成

まず、図1を参照しながら説明する。シリコン基板10上に、パッド層12を形成する。パッド層12の材質としては、たとえば酸化シリコン、酸化窒化シリコンなどを挙げることができる。パッド層12が酸化シリコンからなる場合には、熱酸化法、CVD法などにより形成することができ、酸化窒化シリコンからなる場合には、CVD法などにより形成することができる。パッド層12の膜厚は、たとえば5～20nmである。

【0034】次に、パッド層12上に、研磨ストップ層14を形成する。研磨ストップ層14としては、たとえば窒化シリコン層、多結晶シリコン層および非晶質シリコン層のいずれかの単層構造であるか、または、窒化シリコン層と多結晶シリコン層と非晶質シリコン層との中から選択される少なくとも2種からなる多層構造などを挙げることができ、その形成方法としては、公知の方法たとえばCVD法などを挙げることができる。研磨ストップ層14は、後のCMPにおけるストップとして機能するのに十分な膜厚、たとえば50～150nmの膜厚を有する。

【0035】次に、図2に示すように、研磨ストップ層14の上に、所定のパターンのレジスト層R1を形成する。レジスト層R1は、トレンチ16が形成されることになる領域の上方において、開口されている。

【0036】次に、レジスト層R1をマスクとして、研磨ストップ層14およびパッド層12をエッチングする。このエッチングは、たとえばドライエッチングにより行われる。

【0037】次に、レジスト層R1をアッシングにより除去する。次いで、図3に示すように、研磨ストップ層14をマスクとして、シリコン基板10をエッチングし、トレンチ16を形成する。トレンチ16の深さは、デバイスの設計で異なるが、たとえば300～500nmである。シリコン基板10のエッチングは、ドライエッチングにより行うことができる。

【0038】次に、図示しないが、必要に応じて、シリコン基板10と研磨ストップ層14との間に介在しているパッド層12の端部をエッチングする。

【0039】次に、図4に示すように、熱酸化法により、トレンチ16におけるシリコン基板10の露出面を酸化し、トレンチ酸化膜18を形成する。トレンチ酸化膜の膜厚は、たとえば10～50nmであり、好ましくは10～30nmである。トレンチ酸化膜の膜厚が10～30nmの範囲にあると、半導体装置の微細化に好適である。具体的には、トレンチ酸化膜の膜厚が10～30nmの範囲にあると、設計基準が0.18μm以下である場合に好適である。また、この熱酸化によって、パッド層12の端部がエッチングされていることにより、トレンチ16を構成するシリコン基板10の上部のエッジ部（肩部）10aは、酸化されて、丸みを帯びる。シリコン基板10の上部のエッジ部10aが丸みを帯びることによって、後述するトレンチ絶縁層20の上部の端部における窪み21a（図9参照）が、より生じ難くなる。

【0040】次に、図4に示すように、トレンチ酸化膜18の表面を含む全面に、窒化シリコン層90を形成する。窒化シリコン層90は、後述の、フッ酸による等方性エッチングを行う工程で、トレンチ酸化膜18が除去されるのを抑える機能を有する。すなわち、窒化シリコ

ン層90は、フッ酸による等方性エッチングを行う工程で、トレンチ酸化膜18のためのエッチングストップ層としての機能を果たす。窒化シリコン層90の機能の詳細は、後述の、パッド層12を等方性エッチングする工程で説明する。窒化シリコン層90の形成方法としては、公知の方法、たとえばCVD法、PVD法を挙げることができる。窒化シリコン層90の膜厚は、窒化シリコン層90の機能を発揮するものであれば特に限定されず、好ましくは10~50nmである。窒化シリコン層90の膜厚が、10nm以上であることにより、窒化シリコン層90の機能、すなわちトレンチ酸化膜18のエッチングストップ層としての機能をより確実に発揮することができる。窒化シリコン層90の膜厚が50nm以下であることにより、後述の絶縁層21を、トレンチ16内に良好に埋め込むことができる。すなわち、窒化シリコン層90の膜厚が50nmを超えると、トレンチ16の幅が狭くなり、トレンチ16のアスペクト比（トレンチの深さ／トレンチの幅）が大きくなるため、絶縁層21をトレンチ16内に埋め込むことが難しくなる傾向にある。

#### 【0041】(2) トレンチ絶縁層の形成

図5に示すように、トレンチ16を埋め込むようにして、絶縁層21を全面に堆積する。絶縁層21の材質としては、たとえば酸化シリコンを挙げることができる。絶縁層21の膜厚は、トレンチ16を埋め込み、少なくとも研磨ストップ層14を覆うような膜厚、たとえば500~800nmである。絶縁層21の堆積方法としては、たとえば高密度プラズマCVD法、熱CVD法、TEOSプラズマCVD法などを挙げることができる。

【0042】次に、図6に示すように、絶縁層21をCMP法により平坦化する。この平坦化は、研磨ストップ層14が露出するまで行う。つまり、研磨ストップ層14をストップとして、絶縁層21を平坦化する。

【0043】次に、図7に示すように、研磨ストップ層14を、たとえば熱リン酸液を用いて除去する。この際、シリコン基板10の素子形成領域の表面より突出した部分の窒化シリコン層92（図6参照）が、同時に除去される。そして、研磨ストップ層14を除去した後、シリコン基板10の素子形成領域の表面より突出した絶縁層21が残る。以下、シリコン基板10の素子形成領域の表面より突出した部分の絶縁層21を「絶縁層の突出部22」という。

【0044】次に、図8に示すように、パッド層12と絶縁層の突出部22とを、フッ酸により等方性エッチングする。以下、この等方性エッチングの工程を「パッド層12のライトエッチング工程」という。

【0045】パッド層12のライトエッチング工程において、窒化シリコン層90は、次のような機能を発揮する。図9は、図8のAの部分拡大した模式図である。絶縁層の突出部22が等方性エッチングされることによ

り、図9に示すように、絶縁層21の上部の端部において窪み21aが生じてしまう。従来技術では、窪み21aが生じると、トレンチ酸化膜が露出し、露出したトレンチ酸化膜18が除去されている（図38参照）。しかし、本実施の形態においては、窪み21aが生じたとしても、窒化シリコン層90を形成したことで、以下の理由で従来技術に比べてトレンチ酸化膜18は除去され難くなっている。

【0046】本実施の形態においては、トレンチ酸化膜18を被覆するように窒化シリコン層90が形成されている。窒化シリコン層90は、絶縁層21に比べると、フッ酸によりほとんど除去されない。そのため、窪み21aが生じたとしても、窒化シリコン層90が、トレンチ酸化膜18を保護するためのエッチングストップ層としての機能を果たし、窪み21a側のトレンチ酸化膜18の表面18aは露出しない。したがって、横方向（窪み21a側）からのトレンチ酸化膜18のエッチングが進行しない。その結果、窒化シリコン層90を形成したことで、従来技術に比べて、トレンチ酸化膜18が除去され難くなっている。

【0047】次に、図10に示すように、熱酸化法により、シリコン基板10の露出面に、酸化シリコンからなる犠牲酸化膜24を形成する。犠牲酸化膜24の膜厚は、たとえば10~20nmである。

【0048】次に、図11に示すように、犠牲酸化膜24および絶縁層21の表面に、所定のパターンを有するレジスト層R2を形成する。レジスト層R2は、nウエルとなる領域において開口されている。このレジスト層R2をマスクとして、リン、ヒ素などのn型不純物を1回もしくは複数回にわたってシリコン基板10に注入することにより、シリコン基板10内にn型レトログレードウエル30を形成する。なお、レトログレードウエルは、シリコン基板10の深い位置において、ウエルの不純物濃度のピークがあるウエルをいう。

【0049】図12に示すように、犠牲酸化膜24および絶縁層21の表面に、レジスト層R3を形成する。レジスト層R3は、pウエルとなる領域において開口されている。このレジスト層R3をマスクとして、ボロンなどのp型不純物を1回もしくは複数回にわたってシリコン基板10に注入することにより、シリコン基板10内にp型レトログレードウエル32を形成する。

【0050】次に、図13に示すように、犠牲酸化膜24と絶縁層の突出部22とを、フッ酸により等方性エッチングし、トレンチ絶縁層20が形成され、こうして、トレンチ素子分離領域23が形成される。以下、この等方性エッチングの工程を「犠牲酸化膜24のライトエッチング工程」という。この犠牲酸化膜24のライトエッチング工程においても、窒化シリコン層90は、前述のパッド層のライトエッチング工程で発揮する機能と、同様の機能を発揮する。

【0051】犠牲酸化膜24のライトエッチング工程を経た段階で、窪み21aの深さは、10nm以下であることが好ましい。窪み21aの深さが、10nm以下であることにより、ハンプ(Hump)などの不具合を、より確実に抑えることができる。

#### 【0052】(3) ゲート電極の形成

次に、図14に示すように、シリコン基板10の表面上、すなわちトレンチ素子分離領域23により画定された素子領域の上に、酸化膜26を形成する。この酸化膜26の一部は、ゲート酸化膜28となる。

【0053】次に、図15に示すように、トレンチ絶縁層20および酸化膜26の上にCVD法などによって、多結晶シリコン層40を形成する。多結晶シリコン層40はドーピングされており、ドーピング方法はインサイチュウドーピング(in-situ doping)であっても、イオン注入法であってもかまわない。

【0054】次に、多結晶シリコン層40の表面に、金属シリサイド層42を形成する。金属シリサイド層42の材質としては、タングステン、チタン、モリブデンなどのシリサイドなどが挙げられ、その形成方法としては、スタッピング法やCVD法などを挙げることができる。

【0055】次に、金属シリサイド層42の表面に酸化シリコン層44を形成する。酸化シリコン層44の形成方法としては、たとえばCVD法などが挙げられる。

【0056】次に、図16に示すように、酸化シリコン層44の上に、ゲート電極46を形成したい領域を被覆するレジスト層R4を形成する。次いで、このレジスト層R4をマスクとして、酸化シリコン層44をエッチングする。その後、図17に示すように、レジスト層R4をアッシングにより除去する。

【0057】次に、図18に示すように、酸化シリコン層44をマスクとして、金属シリサイド層42および多結晶シリコン層40をエッチングする。このようにして、多結晶シリコン層40と金属シリサイド層42とからなるゲート電極46を形成する。

#### 【0058】(4) ソース／ドレインの形成

次に、図19に示すように、n型レトログレードウエル30を覆うレジスト層R5を形成する。このレジスト層R5をマスクとして、p型レトログレードウエル32中に、リンなどをイオン注入する。これにより、p型レトログレードウエル32中に、ソース／ドレイン領域を構成する低濃度のn型不純物拡散層50aを形成する。

【0059】レジスト層R5を除去した後、図20に示すように、p型レトログレードウエル32を覆うレジスト層R6を形成する。このレジスト層R6をマスクとして、n型レトログレードウエル30中に、ボロンなどをイオン注入する。これにより、n型レトログレードウエル30中に、ソース／ドレイン領域を構成する低濃度のp型不純物拡散層60aを形成する。

【0060】次に、レジスト層R6を除去した後、CVD法などによって、絶縁層(図示しない)、たとえばシリコン窒化膜、シリコン酸化膜などを全面に形成する。次いで、図21に示すように、反応性イオンエッチングなどによって、絶縁層を異方性エッチングすることにより、サイドウォール絶縁膜70を形成する。

【0061】次に、図22に示すように、n型レトログレードウエル30を覆うレジスト層R7を形成する。このレジスト層R7と、ゲート電極46と、サイドウォール絶縁膜70とをマスクとして、リンなどの不純物を、p型レトログレードウエル32中にイオン注入し、高濃度のn型不純物拡散層50bを形成する。これにより、LDD構造のn型不純物拡散層50が形成される。

【0062】次に、レジスト層R7を除去した後、図23に示すように、p型レトログレードウエル32を覆うレジスト層R8を形成する。このレジスト層R8と、ゲート電極46と、サイドウォール絶縁膜70とをマスクとして、ボロンなどの不純物を、n型レトログレードウエル30中にイオン注入し、高濃度のp型不純物拡散層60bを形成する。これにより、LDD構造のp型不純物拡散層60が形成される。

【0063】次に、レジスト層R8をアッシング除去することにより、図24に示すような、本実施の形態に係る半導体装置100が完成する。

【0064】(特徴点および作用効果) 本実施の形態において特徴的な点は、主として次のことである。すなわち、トレンチ酸化膜18を被覆する、エッチングストップ層としての窒化シリコン層90を形成したことである。窒化シリコン層90が形成されていることにより、フッ酸による種々のライトエッチング工程において、トレンチ酸化膜18が除去され難くなっている。以下、この理由を述べる。

【0065】フッ酸による種々のライトエッチング工程を経ることにより、絶縁層21の上部の端部において、窪み21aが発生する(図9参照)。しかし、トレンチ酸化膜18は、窒化シリコン層90によって被覆されている。この窒化シリコン層90は、フッ酸によりほとんど除去されない。このため、窒化シリコン層90は、トレンチ酸化膜18を保護するためのエッチングストップ層としての機能を果たし、窪み21a側のトレンチ酸化膜18の表面18aは露出しない。したがって、横方向からのトレンチ酸化膜18のエッチングが進行せず、トレンチ酸化膜18がエッチングされる量を軽減することができる。その結果、本実施の形態によれば、トランジスタ特性における不具合、たとえば逆狭チャネル効果、ハンプ(Hump)などが生じないか、もしくは最小限に抑えられた半導体装置を得ることができる。

【0066】また、本実施の形態に係る半導体装置の製造方法によれば、上述のように、トレンチ酸化膜18の横方向からのエッチングが進行しない。そのため、トレ



ンチ酸化膜18の膜厚を薄くすることができる。その結果、本実施の形態に係る半導体装置の製造方法は、半導体装置の微細化を図る際に、特に有用である。具体的には、本実施の形態に係る半導体装置の製造方法は、設計基準が0.18 $\mu$ m以下において、特に有用である。

【0067】(変形例)パッド層12のライトエッチング工程において、エッチャントとしてフッ酸の例を示した。しかし、このライトエッチング工程におけるエッチャントとしては、パッド層12と絶縁層21とを同時にエッチングできるものであって、窒化シリコン層90に対する絶縁層21の選択比(絶縁層のエッチングレート/窒化シリコン層のエッチングレート)が10以上であるのもであれば、フッ酸に限定されない。また、この条件を満たす範囲において、フッ酸に種々の物質を混合してもよい。

【0068】また、犠牲酸化膜24のライトエッチング工程においても、犠牲酸化膜24と絶縁層21とを同時にエッチングできるものであって、窒化シリコン層90に対する絶縁層21の選択比(絶縁層のエッチングレート/窒化シリコン層のエッチングレート)が10以上であるのもであれば、フッ酸に限定されない。また、この条件を満たす範囲において、フッ酸に種々の物質を混合してもよい。

#### 【0069】[第2の実施の形態]

(デバイスの構造)以下、第2の実施の形態に係る半導体装置について説明する。図33は、第2の実施の形態に係る半導体装置200である。

【0070】第1の実施の形態では、トレンチ酸化膜18のエッチングストップ層として、窒化シリコン層90が用いられている。第2の実施の形態に係る半導体装置200は、トレンチ酸化膜18のエッチングストップ層として、非単結晶シリコン層190が用いられている。ここで、非単結晶シリコン層としては、多結晶シリコン層、非晶質シリコン層またはそれらの積層構造を挙げることができる。すなわち窒化シリコン層90に代えて非単結晶シリコン層190を形成した点において、第2の実施の形態に係る半導体装置200は、第1の実施の形態に係る半導体装置100と異なる。それ以外の点は、第1の実施の形態と同様である。そのため、同一の機能を有する部分には同一の符号を付し、詳細な説明を省略する。

【0071】(製造プロセス)以下、第2の実施の形態に係る半導体装置の製造方法について説明する。第2の実施の形態に係る半導体装置の製造方法は、トレンチ酸化膜18を被覆する層として、窒化シリコン層90に代えて非単結晶シリコン層190を形成している点で、第1の実施の形態と異なる。図25～図32は、第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【0072】まず、図25を参照しながら説明する。ト

レンチ酸化膜18の形成までは、第1の実施の形態と同様の方法で形成することができる。

【0073】次に、トレンチ酸化膜18の表面を含む全面に、非単結晶シリコン層190を形成する。非単結晶シリコン層190としては、多結晶シリコン層、非晶質シリコン層またはそれらの積層構造を挙げることができる。この非単結晶シリコン層190は、後述する、フッ酸による等方性エッチングを行う工程で、トレンチ酸化膜18が除去されるのを抑える機能を有する。すなわち、非単結晶シリコン層190は、フッ酸による等方性エッチングを行う工程で、トレンチ酸化膜18のエッチングストップ層としての機能を果たす。非単結晶シリコン層190の詳細な機能は、後述の、犠牲酸化膜24の等方性エッチングの工程で説明する。非単結晶シリコン層190の形成方法としては、CVD法などを挙げることができる。非単結晶シリコン層190の膜厚としては、非単結晶シリコン層190の機能を発揮するものであれば特に限定されず、好ましくは20～50nmである。非単結晶シリコン層190の膜厚が20nm以上であることにより、非単結晶シリコン層190の機能、すなわちトレンチ酸化膜18のエッチングストップ層としての機能をより確実に発現することができる。非単結晶シリコン層190の膜厚が50nm以下であることにより、非単結晶シリコン層190の膜厚が50nm以下であることにより、後述の絶縁層21を、トレンチ16内に良好に埋め込むことができる。すなわち、非単結晶シリコン層190の膜厚が50nmを超えると、トレンチ16の幅が狭くなり、トレンチ16のアスペクト比(トレンチの深さ/トレンチの幅)が大きくなるため、絶縁層21をトレンチ16内に埋め込むことが難しくなる傾向にある。

【0074】次に、図26に示すように、トレンチ16を埋め込むようにして、酸化シリコンからなる絶縁層21を全面に堆積する。絶縁層の詳細は、第1の実施の形態と同様である。

【0075】次に、図27に示すように、絶縁層21をCMP法により平坦化する。この平坦化は、研磨ストップ層14が露出するまで行う。つまり、研磨ストップ層14をストップとして、絶縁層21を平坦化する。

【0076】次に、図28に示すように、研磨ストップ層14を、たとえば熱リン酸液を用いて除去する。そして、研磨ストップ層14を除去した後、シリコン基板10の素子形成領域の表面より突出した部分の絶縁層21を「絶縁層の突出部22」という。

【0077】次に、図29に示すように、パッド層12と絶縁層の突出部22とを、フッ酸により等方性エッチングする。以下、この等方性エッチングの工程を「パッド層12のライトエッチング工程」という。本実施の形態においては、絶縁層の突出部22の側壁は、非単結晶

シリコン層190で被覆されている。この非単結晶シリコン層190は、絶縁層21に比べると、フッ酸によってほとんど除去されない。したがって、絶縁層の突出部22の側壁部分は、非単結晶シリコン層190によって保護され、除去されない。その結果、第2の実施の形態によれば、パッド層12のライトエッチング工程においては、絶縁層21において窪み21a（図38参照）が生じない。

【0078】次に、図30に示すように、熱酸化法によりシリコン基板10の露出面に、酸化シリコンからなる犠牲酸化膜24を形成する。犠牲酸化膜24の膜厚としては、たとえば10～20nmである。この熱酸化により、非単結晶シリコン層190の基板の素子形成領域の表面より突出した部分194（図29参照）が酸化され、図30に示すように、酸化シリコン膜192が形成される。この熱酸化法は、特に限定されないが、ウェット酸化（水蒸気の下において熱酸化する方法）、ドライ酸化（酸素または酸素と不活性ガスとの混合ガスの雰囲気中で熱酸化する方法）が好ましい。ウェット酸化の熱酸化の温度は、膜厚の制御性により、たとえば750～850℃である。ドライ酸化の熱酸化の温度は、たとえば800～900℃である。ドライ酸化における不活性ガスとしては、たとえばヘリウム、ネオン、アルゴン、クリプトンなどを挙げることができる。

【0079】次に、第1の実施の形態と同様にしてn型レトログレードウエルおよびp型レトログレードウエルが形成される。

【0080】次に、図31に示すように、犠牲酸化膜24と絶縁層の突出部22と酸化シリコン膜192とを、フッ酸により等方性エッチングし、トレンチ絶縁層20が形成され、こうして、トレンチ素子分離領域23が形成される。以下、この等方性エッチングの工程を「犠牲酸化膜24のライトエッチング工程」という。

【0081】この犠牲酸化膜24のライトエッチング工程において、非単結晶シリコン層190は、次のような機能を発揮する。図32は、図31のBの部分の拡大した模式図である。絶縁層22と酸化シリコン膜192とが等方性エッチングされることにより、図32に示すように、絶縁層21の上部の端部において窪み21aが生じてしまう。従来技術では、窪み21aが生じると、トレンチ酸化膜（図38において118）が露出し、露出したトレンチ酸化膜が除去されている（図38参照）。しかし、本実施の形態においては、窪み21aが生じたとしても、非単結晶シリコン層190を形成したことで、以下の理由で従来技術に比べてトレンチ酸化膜18は除去され難くなっている。

【0082】本実施の形態においては、トレンチ酸化膜18を被覆するように、非単結晶シリコン層190が形成されている。非単結晶シリコン層190は、絶縁層21に比べると、フッ酸によりほとんど除去されない。そ

のため、窪み21aが生じたとしても、非単結晶シリコン層190が、トレンチ酸化膜18を保護するためのエッチングストップ層としての機能を果たし、窪み21a側のトレンチ酸化膜18の表面18aは露出しない。したがって、横方向（窪み21a側）からのトレンチ酸化膜18のエッチングが進行しない。その結果、非単結晶シリコン層190を形成したことで、従来技術に比べて、トレンチ酸化膜18が除去され難くなっている。

【0083】また、犠牲酸化膜24のライトエッチング工程を経た段階で、窪み21aの深さは、10nm以下であることが好ましい。窪み21aの深さが、10nm以下であることにより、ハンパ（Hump）などの不具合を、より確実に抑えることができる。

【0084】次に、第1の実施の形態と同様にして、ゲート電極およびソース／ドレインが形成され、図33に示す半導体装置200が完成する。

【0085】（特徴点および作用効果）本実施の形態において特徴的な点は、主として次のことである。すなわち、トレンチ酸化膜18を被覆する非単結晶シリコン層190を形成したことである。非単結晶シリコン層190を形成したことにより、種々のライトエッチング工程を経ることで窪み21aが生じても、トレンチ酸化膜18が除去され難くなっている。その結果、本実施の形態によれば、トランジスタ特性における不具合、たとえば逆狭チャネル効果、ハンパ（Hump）などが生じないか、もしくは最小限に抑えられた半導体装置を得ることができる。

【0086】また、本実施の形態に係る半導体装置の製造方法によれば、上述のように、トレンチ酸化膜18の横方向からのエッチングが進行しない。そのため、トレンチ酸化膜18の膜厚を薄くすることができる。その結果、本実施の形態に係る半導体装置の製造方法は、半導体装置の微細化を図る際に、特に有用である。具体的には、本実施の形態に係る半導体装置の製造方法は、設計基準が0.18μm以下において、特に有用である。

【0087】（変形例）パッド層12のライトエッチング工程において、エッチャントとしてフッ酸の例を示した。しかし、このライトエッチング工程におけるエッチャントとしては、パッド層12と絶縁層21とを同時にエッチングできるものであつて、非単結晶シリコン層190に対する絶縁層21の選択比（絶縁層のエッチングレート／非単結晶シリコン層のエッチングレート）が10以上であるのもであれば、フッ酸に限定されない。また、この条件を満たす範囲において、フッ酸に種々の物質を混合してもよい。

【0088】また、犠牲酸化膜24のライトエッチング工程においても、犠牲酸化膜24と絶縁層21とを同時にエッチングできるものであつて、非単結晶シリコン層190に対する絶縁層21の選択比（絶縁層のエッチングレート／非単結晶シリコン層のエッチングレート）が

10以上であるのもであれば、フッ酸に限定されない。  
また、この条件を満たす範囲において、フッ酸に種々の物質を混合してもよい。

【0089】本発明は、上記実施の形態に限定されず、本発明の要旨の範囲で種々の態様をとることができる。

#### 【図面の簡単な説明】

【図1】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図2】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図3】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図4】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図5】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図6】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図7】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図8】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図9】図8のAの部分拡大した模式図である。

【図10】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図11】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図12】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図13】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図14】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図15】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図16】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図17】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図18】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図19】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図20】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図21】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図22】第1の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図23】第1の実施の形態に係る半導体装置の製造工

程を模式的に示す断面図である。

【図24】第1の実施の形態に係る半導体装置を模式的に示す断面図である。

【図25】第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図26】第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図27】第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図28】第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図29】第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図30】第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図31】第2の実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図32】図31のBの部分拡大した模式図である。

【図33】第2の実施の形態に係る半導体装置を模式的に示す断面図である。

【図34】従来例に係る半導体装置の製造工程を模式的に示す断面図である。

【図35】従来例に係る半導体装置の製造工程を模式的に示す断面図である。

【図36】従来例に係る半導体装置の製造工程を模式的に示す断面図である。

【図37】従来例に係る半導体装置の製造工程を模式的に示す断面図である。

【図38】図37のCの部分拡大した模式図である。

#### 【符号の説明】

- 10 シリコン基板
- 10a シリコン基板の上部のエッジ部
- 12 パッド層
- 14 研磨ストップパ層
- 16 トレンチ
- 18 トレンチ酸化膜
- 20 トレンチ絶縁層
- 21 絶縁層
- 21a 窪み
- 22 突出部
- 23 トレンチ素子分離領域
- 24 犠牲酸化膜
- 26 酸化膜
- 28 ゲート酸化膜
- 30 n型のレトログレードウエル
- 32 p型のレトログレードウエル
- 40 多結晶シリコン層
- 42 金属シリサイド層
- 44 酸化シリコン層
- 46 ゲート電極

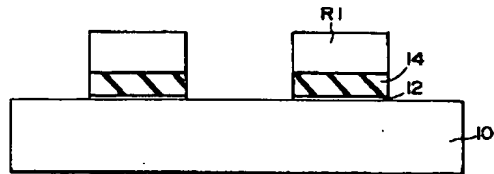
50 n型不純物拡散層  
 50a 低濃度のn型不純物拡散層  
 50b 高濃度のn型不純物拡散層  
 60 p型不純物拡散層  
 60a 低濃度のp型不純物拡散層  
 60b 高濃度のp型不純物拡散層  
 70 サイドウォール絶縁膜

80 n型MOS素子  
 82 p型MOS素子  
 90 窒化シリコン層  
 100, 200 半導体装置  
 190 非単結晶シリコン層  
 192 酸化シリコン膜

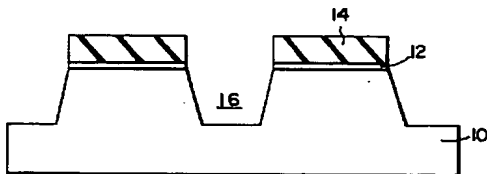
【図1】



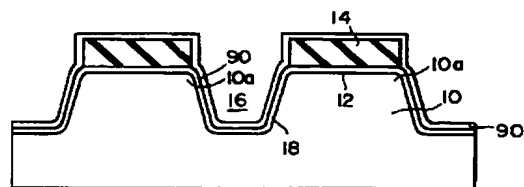
【図2】



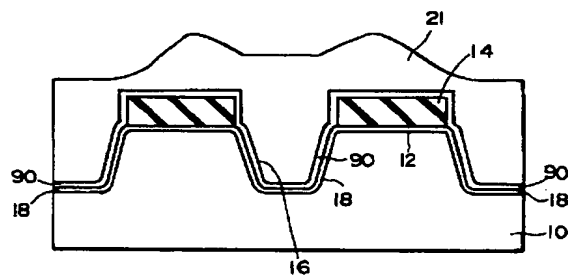
【図3】



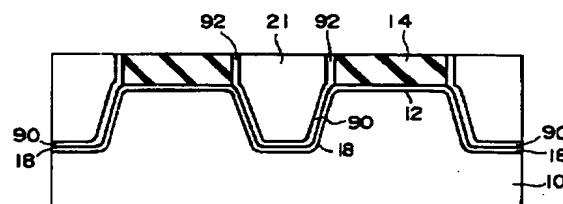
【図4】



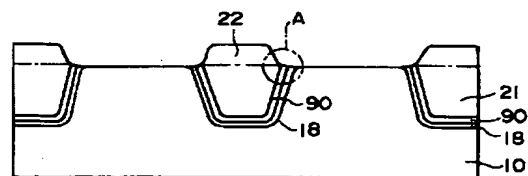
【図5】



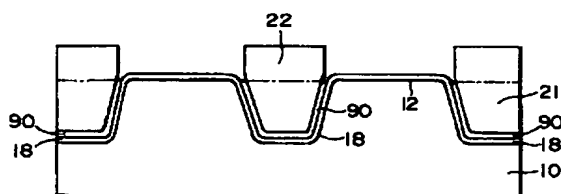
【図6】



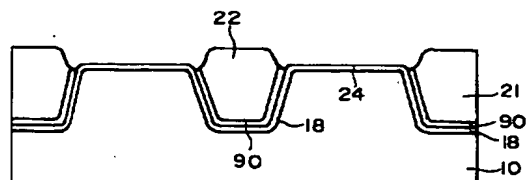
【図8】



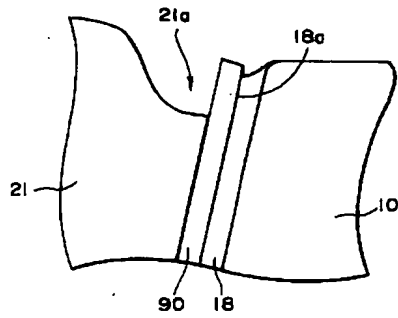
【図7】



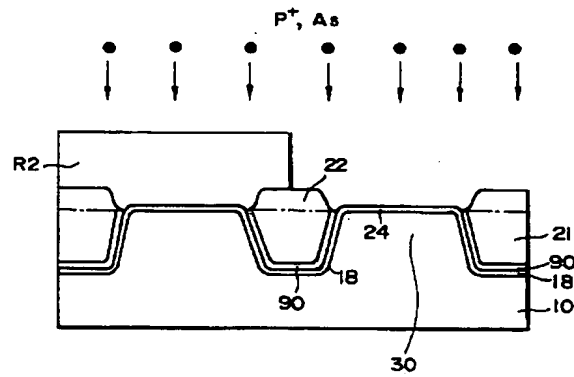
【図10】



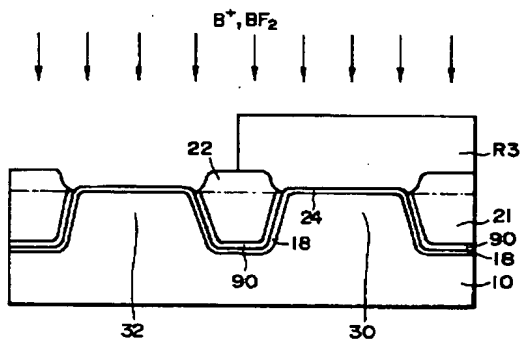
【図9】



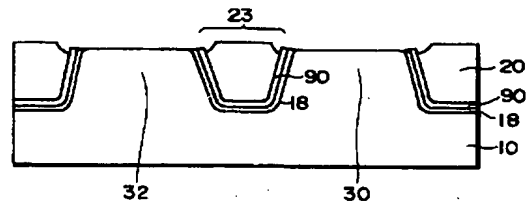
【図11】



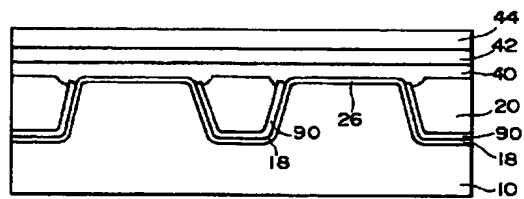
【図12】



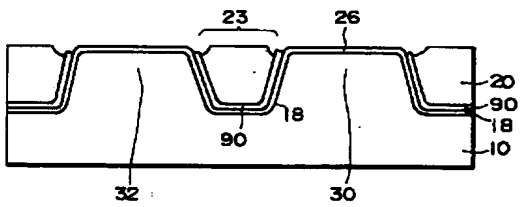
【図13】



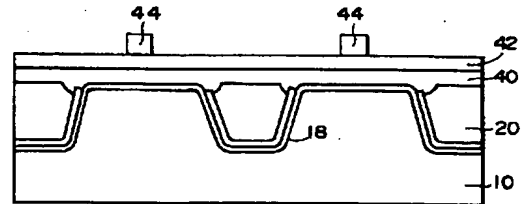
【図15】



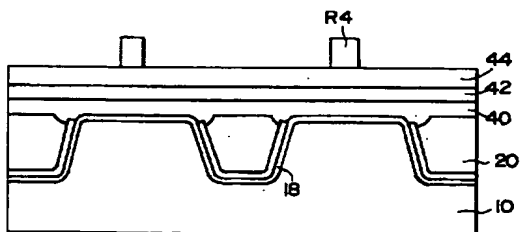
【図14】



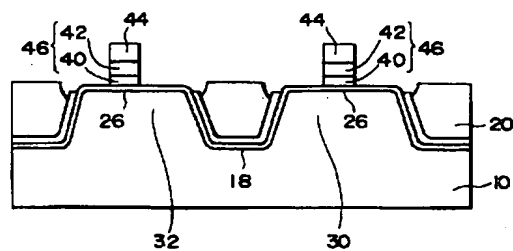
【図17】



【図16】

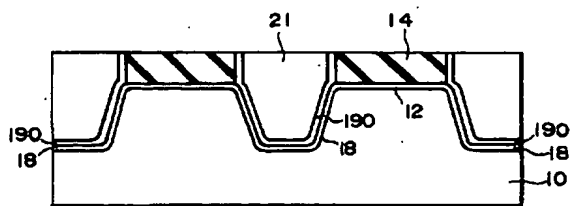


【図18】

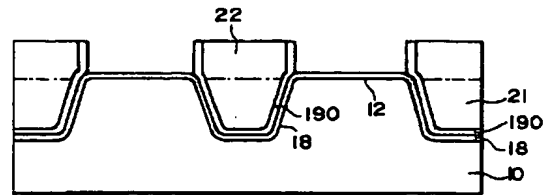




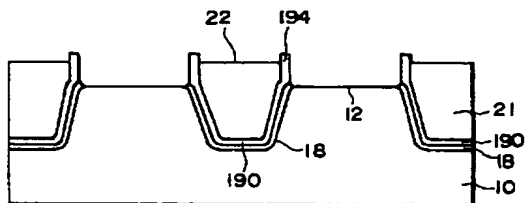
【図27】



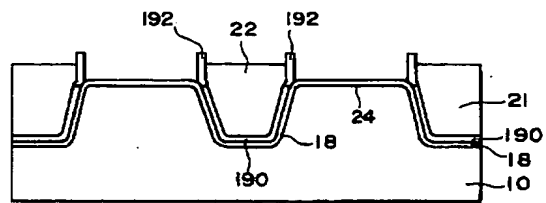
【図28】



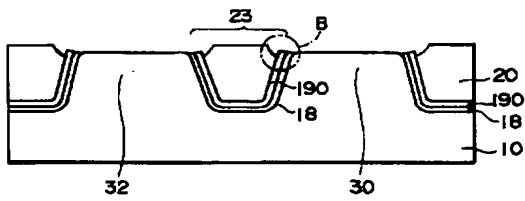
【図29】



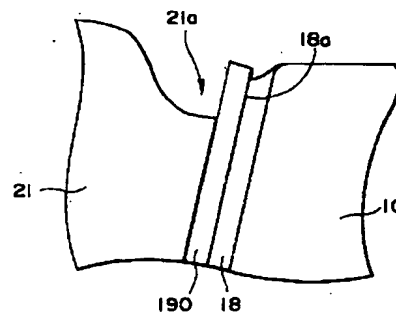
【図30】



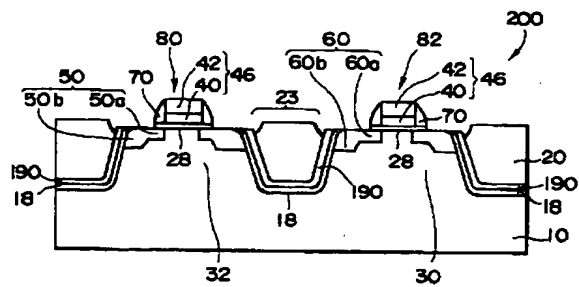
【図31】



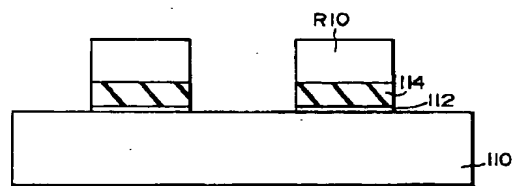
【図32】



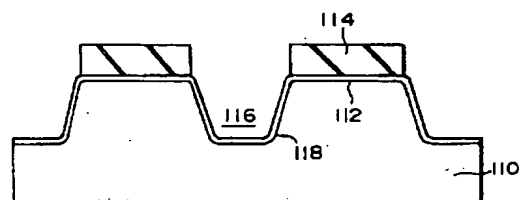
【図33】



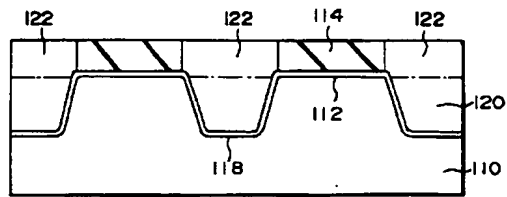
【図34】



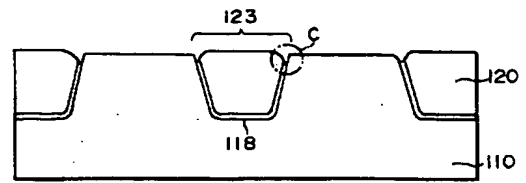
【図35】



【図36】



【図37】



【図38】

